

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088522

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H03F 3/50

(21)Application number : 06-251393

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 20.09.1994

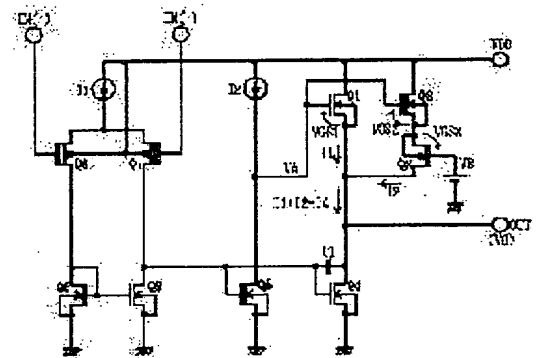
(72)Inventor : KUDO RYOTARO
SOGA TAKASHI
IIJIMA DAISUKE
KUDO KATSUMI

(54) OUTPUT CIRCUIT

(57)Abstract:

PURPOSE: To efficiently perform signal propagation by providing series circuits consisting of variable impedance elements in which impedance inversely proportional to the absolute value like voltage level of an input signal or output signal is controlled in parallel.

CONSTITUTION: An N-channel MOSFET Q4 and a P-channel enhancement MOS- FET Q3 are provided as variable impedance means Z1, Z2. The output signal of a differential amplifier circuit that is an initial stage circuit is supplied to the gate of the FET Q4. In this way, a complementary operation can be performed by supplying the input signals with negative phases to the gates of an output MOSFET Q1 and the FET Q4. A DC current between the FETs Q1, Q2 and the FET Q4 can be decreased, and an output current with low power consumption and also with high value can be obtained. Also, a capacitor C1 for phase compensation is provided between the drain and gate of the FET Q4. In this way, the output voltage can be increased up to a power supply voltage.



LEGAL STATUS

[Date of request for examination] 15.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number] 3343299

[Date of registration] 23.08.2002

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-88522

(43) 公開日 平成8年(1996)4月2日

(51) Int.Cl.⁶

H 0 3 F 3/50

識別記号

庁内整理番号

8943-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号 特願平6-251393

(22) 出願日 平成6年(1994)9月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72) 発明者 工藤 良太郎

埼玉県入間郡毛呂山町大字旭台15番地 日

立東部セミコンダクタ株式会社内

(72) 発明者 曾我 高志

埼玉県入間郡毛呂山町大字旭台15番地 日

立東部セミコンダクタ株式会社内

(74) 代理人 弁理士 徳若 光政

最終頁に続く

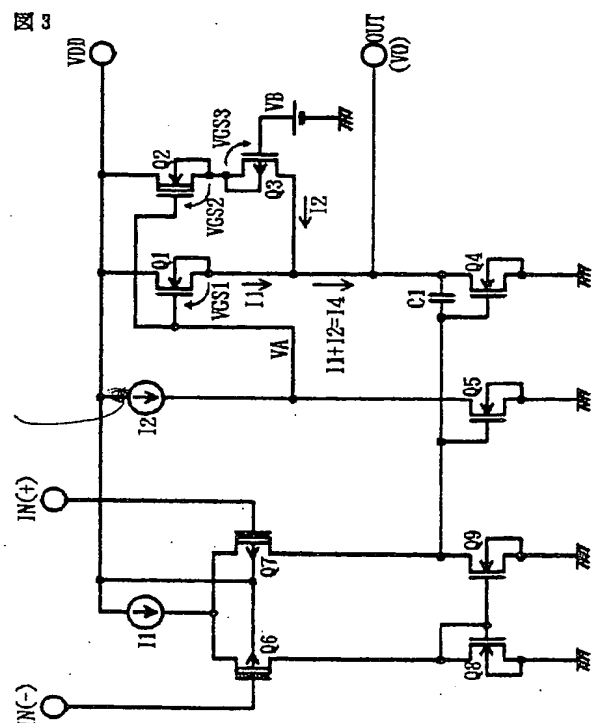
(54) 【発明の名称】 出力回路

(57) 【要約】

【目的】 簡単な構成により電源電圧内でのフルスイングを実現した出力回路を提供する。

【構成】 入力信号を受けてソース又はエミッタから出力信号を出力させる第1の出力素子に対して、上記入力信号を受けてソースから出力信号を出力させるディプレッション型MOSFETと上記入力信号又は出力信号の絶対値的な電圧レベルに対して逆比例的にインピーダンスが制御される可変インピーダンス素子とからなる直列回路を並列に設ける。

【効果】 入力信号が絶対値的に高くされて第1の出力素子により出力動作が制限される領域では上記可変インピーダンス素子が小さくなり、第1の出力素子に代えてディプレッション型MOSFETからの電流供給が行われて出力電圧を電源電圧まで高くすることができる。



【特許請求の範囲】

【請求項 1】 入力信号を受けてソース又はエミッタから出力信号を出力させる第 1 の出力素子と、上記入力信号を受けてソースから出力信号を出力させるディプレッション型 MOSFET と、かかるディプレッション型 MOSFET と直列形態にされ、上記入力信号又は出力信号の絶対値的な電圧レベルに対して逆比例的にインピーダンスが制御される可変インピーダンス素子とを含むことを特徴とする出力回路。

【請求項 2】 上記可変インピーダンス素子は、上記ディプレッション型 MOSFET のソースと上記第 1 の出力素子のソース又はエミッタとの間に設けられ、ゲートに所定の定電圧が印加され、上記ディプレッション型 MOSFET の逆導電型のエンハンスメント型 MOSFET であることを特徴とする請求項 1 の出力回路。

【請求項 3】 上記入力信号は、差動形態のディプレッション型の増幅 MOSFET を含む初段回路と、かかる初段回路の出力信号を反転増幅する駆動段回路により形成され、上記第 1 の出力素子には上記初段回路の出力信号を受けて上記第 1 の出力素子とは相補的に動作せられる第 2 の出力素子が直列形態に設けられるものであることを特徴とする請求項 1 又は請求項 2 の出力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、出力回路に関し、例えば演算増幅回路の出力回路として用いられるものを利用して有効な技術に関するものである。

【0002】

【従来の技術】 CMOS（相補型 MOS）構成の演算増幅回路がある。このような CMOS 構成の演算増幅回路の例としては、（株）日立製作所から販売されている H A 1 6 1 1 8 等のような汎用演算増幅回路がある。

【0003】

【発明が解決しようとする課題】 上記のような演算増幅回路の出力段はソースフォロウ回路又はダーリントン接続を含むエミッタフォロウ回路が一般的である。このような出力回路では、出力電圧が電源電圧内でフルスイングできないという問題がある。つまり、入力電圧に対して MOSFET のゲート、ソース間電圧又はトランジスタのベース、エミッタ間電圧だけ出力電圧が低下してしまうからである。電子機器に用いられる電源電圧は、低消費電力や電池駆動等のために低電圧化される傾向にあるため、上記出力電圧の損失は無視できなくなってきた。

【0004】 この発明の目的は、簡単な構成により電源電圧内でのフルスイングを実現した出力回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、入力信号を受けてソース又はエミッタから出力信号を出力させる第 1 の出力素子に対して、上記入力信号を受けてソースから出力信号を出力させるディプレッション型 MOSFET と上記入力信号又は出力信号の絶対値的な電圧レベルに対して逆比例的にインピーダンスが制御される可変インピーダンス素子とからなる直列回路を並列に設ける。

【0006】

【作用】 上記した手段によれば、入力信号が絶対値的に高くされて第 1 の出力素子により出力動作が制限される領域では上記可変インピーダンス素子が小さくなり、第 1 の出力素子に代えてディプレッション型 MOSFET からの電流供給が行われて出力電圧を電源電圧まで高くすることができる。

【0007】

【実施例】 図 1 には、この発明に係る出力回路の基本的な一実施例の回路図が示されている。同図の各回路素子は、その入力信号を形成する図示しない他の内部回路とともに公知の半導体集積回路の製造技術によって、単結晶シリコンのような 1 個の半導体基板上において形成される。

【0008】 入力信号 IN は、N チャンネル型の出力 MOSFET Q1 のゲートに供給される。この出力 MOSFET Q1 は、エンハンスメント型とされてソースから出力信号を形成して出力端子 OUT から送出させる。この出力 MOSFET Q1 のソースには、負荷としてのインピーダンス手段 Z1 が設けられる。これにより、この実施例の出力回路は、ソースフォロウ回路とされる。

【0009】 この実施例では、出力端子 OUT から送出される出力電圧を電源電圧 VDD までフルスイングできるようにするために、次の各回路素子が付加される。上記入力信号 IN は、N チャンネル型出力 MOSFET Q2 のゲートに供給される。この出力 MOSFET Q2 は、ディプレッション型とされて同様にソースから出力信号を形成する。この MOSFET Q2 のソースと上記出力 MOSFET Q1 のソース、言い換えるならば、出力端子 OUT との間には可変インピーダンス手段 Z2 が設けられる。この可変インピーダンス手段 Z2 は、入力信号 IN のレベルが電源電圧 VDD 側に絶対値的に大きくなるにしたがって逆比例的にインピーダンスが小さくなるように制御される。

【0010】 この実施例においては、入力信号 IN が電源電圧 VDD に向かって絶対値的に大きなレベルになると、それに対応して可変インピーダンス手段 Z2 のインピーダンスが小さくされる。つまり、入力信号 IN が上記のように高くなると可変インピーダンス手段 Z2 のインピーダンスが小さくなり、入力信号 IN の上昇により出力 MOSFET Q1 に流れる電流が減るのを補うよう

に出力MOSFETQ2からの電流を増加させる。このようにして、入力信号INに対応して出力端子OUTから出力される出力電圧も電源電圧VDD近傍まで高くできる。厳密には、ディプレッション型MOSFETQ2にはオン抵抗値があるので電源電圧VDDに対してそのオン抵抗による電圧降下に相当する数10mVオーダーの電圧損失が生じるが、実際上は問題にならず実質的なフルスイングを行わせることができる。

【0011】図2には、この発明に係る出力回路の基本的な他の一実施例の回路図が示されている。この実施例では、上記可変インピーダンス手段Z2が入力信号INではなく、出力信号によりインピーダンス制御される。つまり、この実施例のようなソースフォロワ回路では、入力信号INと出力信号とが同相で変化するために、図1のように入力信号INに代えて出力信号を用いるものである。このような出力信号を用いた場合でも、図1の実施例と同様にインピーダンス制御を行うことにより、実質的なフルスイングが可能になる。

【0012】図3には、この発明に係る出力回路が用いられた演算増幅回路の一実施例の回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0013】Pチャンネル型のディプレッションMOSFETQ6とQ7は差動形態にされ、共通化されたソースと電源電圧VDDとの間に定電流源I1が設けられる。これらのMOSFETQ6とQ7のそれぞれのゲートは、反転入力端子IN(-)と非反転入力(+)に接続される。MOSFETQ6とQ7のドレインと回路の接地電位との間には、アクティブ負荷としてのNチャンネル型MOSFETQ8とQ9が設けられる。つまり、これらのMOSFETQ8とQ9は、電流ミラー形態とされ、入力側のMOSFETQ8のドレインが上記差動MOSFETQ6のドレインと接続され、出力側のMOSFETQ9のドレインが他方の差動MOSFETQ7のドレインに接続される。

【0014】この差動増幅回路は初段回路を構成し、その出力信号は一方においてNチャンネル型増幅MOSFETQ5のゲートに供給される。このMOSFETQ5*

$$\begin{aligned} VA' &= VGS2 - VGS3 + VB \\ &= VTHD - VTHP + VB \end{aligned}$$

ここで、VTHDはNチャンネル型のディプレッションMOSFETQ2のしきい値電圧、VTHPは、Pチャンネル型のエンハンスメント型MOSFETQ3のしきい値電圧である。

【0019】 $VA \geq VA'$ の領域ではMOSFETQ3※

$$\begin{aligned} VA'' &= VGS2 - VGS3 + VB \\ &= VTHD - VTHP + (I4/\beta_N \cdot K2)^{1/2} \\ &\quad + (I4/\beta_P \cdot K3)^{1/2} + VB \end{aligned}$$

ここで、I4は、MOSFETQ1の出力電流I1とM

*のソースは、回路の接地電位点に接続され、そのドレインと電源電圧VDDとの間には負荷としての定電流源I2が設けられることによって反転増幅回路を構成する。この増幅回路の出力信号VAは、この発明に係るソースフォロワ出力回路の入力信号とされる。

【0015】つまり、前記同様なNチャンネル型の出力MOSFETQ1とNチャンネル型のディプレッションMOSFETQ2のゲートに供給される。上記出力MOSFETQ1のソースは、前記のような出力端子OUTに接続される。そして、出力MOSFETQ2のソースと上記出力端子OUTとの間には、前記可変インピーダンス手段Z2として作用するPチャンネル型のエンハンスメントMOSFETQ3が設けられる。このMOSFETQ3のゲートには、所定の定電圧VBが印加される。このMOSFETQ3のソースには、上記出力MOSFETQ2を通して入力信号INが供給されることにより、定電圧VBが印加されたゲートと、上記出力MOSFETQ2を通して入力信号VAに対応してゲート、ソース間電圧が変化するので可変インピーダンスとして作用する。

【0016】この実施例では、特に制限されないが、前記インピーダンス手段Z1としてNチャンネル型MOSFETQ4が設けられる。このMOSFETQ4のゲートには、上記初段回路である差動増幅回路の出力信号が供給される。これにより、出力MOSFETQ1とQ4のゲートには、互いに逆位相の入力信号が供給されることにより相補的な動作を行うようにされる。このような相補的な動作によって、出力MOSFETQ1及びQ2と出力MOSFETQ4との間で流れる直流電流を小さくなり、低消費電力でしかも大きな出力電流を得ることができる。なお、MOSFETQ4のドレインとゲート間には、位相補償用のキャパシタC1が設けられる。

【0017】図4には、出力MOSFETQ1とQ2の電流の切り替わりの一例を示す特性図が示されている。同図において、電圧VA'が可変インピーダンス手段としてのMOSFETQ3がオン状態になる電圧であり、次式(1)により求めることができる。

【0018】

$$\dots\dots\dots (1)$$

※がオン状態となり、MOSFETQ2からの電流の供給が開始される。上記MOSFETQ1とQ2のドレイン電流が等しくなる電圧VA''は、次式(2)により求めることができる。

【0020】

$$\dots\dots\dots (2)$$

OSFETQ2の出力電流I2とを加算した電流であ

る。また、 β_N と β_P は、それぞれMOSFETQ2とQ3の導電係数(A/V^1)であり、K2及びK3はMOSFETQ2とQ3のサイズ(W/L)である。

【0021】この実施例では、MOSFETQ1とQ2は共にソースフォロワ回路のために、周波数特性は非常によく電流供給能力も大きい。ただし、MOSFETQ3がオン状態になったときに、そのオン抵抗が大きいとMOSFETQ2の電流が制限される。それ故、MOSFETQ3は、チャンネル幅Wを大きく形成して出力MOSFETQ2からの電流が十分に流れるようにすること10
ことが望ましい。

【0022】この実施例の演算増幅回路では、出力電流の供給能力はシンク・ソース両モードで大きく、かつ2段アンプのみの構成になり、出力発振に対する安全も十分に確保することができる。初段回路である差動増幅MOSFETは、ディプレッション型MOSFETQ6とQ7を用いているので、電源電圧VDDを含む広い同相入力電圧範囲を有する。このように、入出力ともにほぼ0Vから電源電圧VDDまでフル動作する構成であるから、低い電源電圧まで効率のよい信号伝播が可能にな20
る。

【0023】図5には、この発明が適用された演算増幅回路の一実施例の概略ブロック図である。この実施例では、1つの半導体装置に2つの演算増幅回路が設けられる。つまり、8ピンのパッケージに2つの演算増幅回路1と2が搭載される。これら演算増幅回路1と2は、図3に示すような回路から構成される。1つの演算増幅回路には、前記のように2つの入力端子と1つの出力端子設けられ、電源供給端子VDDとVSS(0V)を合わせて8ピン構成とされる。

【0024】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 入力信号を受けてソースから出力信号を出力させる第1の出力素子に対して、上記入力信号を受けてソースから出力信号を出力させるディプレッション型MOSFETと上記入力信号又は出力信号の絶対値的な電圧レベルに対して逆比例的にインピーダンスが制御される可変インピーダンス素子とからなる直列回路を並列に設けることにより、入力信号が高くされて第1の出力素子30
による出力動作が制限される領域では上記可変インピーダンス素子が小さくなり、第1の出力素子に代えてディプレッション型MOSFETからの電流供給が行われて出力電圧を電源電圧まで高くすることができるという効果が得られる。

【0025】(2) 上記入力信号を形成する回路として、差動形態のディプレッション型の増幅MOSFETを含む初段回路と、かかる初段回路の出力信号を反転増幅する駆動段回路により形成することにより、電源電圧VDDを含む広い同相入力電圧範囲を有し、入出力ともにほぼ0Vから電源電圧VDDまでフル動作する構成で50

あるから、低い電源電圧まで効率のよい信号伝播が可能になるという効果が得られる。

【0026】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1ないし図3において、出力MOSFETQ1は、NPN型のバイポーラ型トランジスタであってもよい。このようなバイポーラ型トランジスタを用いる場合にも、ベース入力電圧に対してエミッタ出力電圧は、そのベース、エミッタ間電圧だけレベル損失が生じるので、この発明の適用により同様に電源電圧まで大きな出力電圧を得ることができる。

【0027】図1ないし図3の実施例において、MOSFETの導電型は逆にするものであってもよい。この場合、電源電圧として負の電圧を用いるようにすればよい。また、上記のようなバイポーラ型トランジスタを用いる場合でも、同様にその導電型を逆にして用いることができる。この発明は、半導体集積回路装置に形成されるソース又はエミッタフォロワ出力回路に広く利用できる。

【0028】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、入力信号を受けてソース又はエミッタから出力信号を出力させる第1の出力素子に対して、上記入力信号を受けてソースから出力信号を出力させるディプレッション型MOSFETと上記入力信号又は出力信号の絶対値的な電圧レベルに対して逆比例的にインピーダンスが制御される可変インピーダンス素子とからなる直列回路を並列に設けることにより、入力信号が高くされて第1の出力素子による出力動作が制限される領域では上記可変インピーダンス素子が小さくなり、第1の出力素子に代えてディプレッション型MOSFETからの電流供給が行われて出力電圧を電源電圧まで高くすることができる。

【0029】上記入力信号を形成する回路として、差動形態のディプレッション型の増幅MOSFETを含む初段回路と、かかる初段回路の出力信号を反転増幅する駆動段回路により形成することにより、電源電圧VDDを含む広い同相入力電圧範囲を有し、入出力ともにほぼ0Vから電源電圧VDDまでフル動作する構成であるから、低い電源電圧まで効率のよい信号伝播が可能になる。

【図面の簡単な説明】

【図1】この発明に係る出力回路の基本的な一実施例を示す回路図である。

【図2】この発明に係る出力回路の基本的な他の一実施例を示す回路図である。

【図3】この発明に係る出力回路が用いられた演算増幅

回路の一実施例を示す回路図である。

【図4】上記演算増幅回路の電流切り替え動作を説明するための特性図である。

【図5】この発明が適用された演算増幅回路の一実施例を示す概略ブロック図である。

*【符号の説明】

Q1~Q9...MOSFET、Z1...インピーダンス手段、Z2...可変インピーダンス手段、C1...キャパシタ、I1、I2...定電流源、IN(+), IN(-)...入力端子、OUT...出力端子、1、2...演算増幅回路。

【図1】

【図2】

【図4】

図1

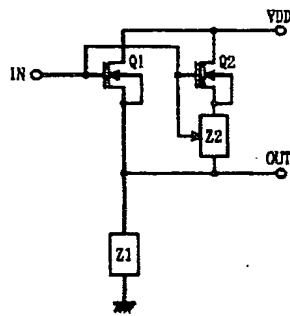


図2

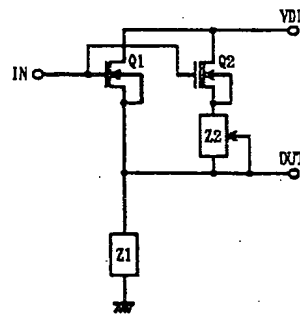
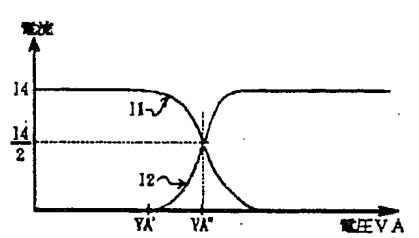


図4



【図3】

【図5】

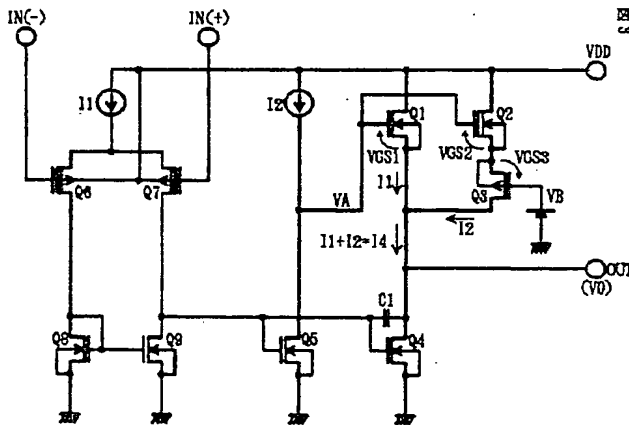
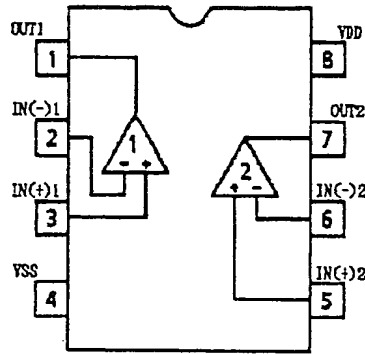


図5



フロントページの続き

(72)発明者 飯島 大輔
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内 ※40

※(72)発明者 工藤 勝美
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内